

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11279877

Basic Patent (No,Kind,Date): JP 5181159 A2 930723 <No. of Patents: 001>

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KOBAYASHI MICHIIYA

IPC: *G02F-001/136; G09F-009/30

JAPIO Reference No: 170600P000084

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5181159	A2	930723	JP 91346591	A	911227 (BASIC)

Priority Data (No,Kind,Date):

JP 91346591 A 911227

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04189459 **Image available**

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.: 05-181159 [JP 5181159 A]

PUBLISHED: July 23, 1993 (19930723)

INVENTOR(s): KOBAYASHI MICHIIA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-346591 [JP 91346591]

FILED: December 27, 1991 (19911227)

INTL CLASS: [5] G02F-001/136; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive
Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors);
R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: P, Section No. 1637, Vol. 17, No. 600, Pg. 84,
November 04, 1993 (19931104)

ABSTRACT

PURPOSE: To realize high quality display having sufficiently high luminance and controlled display defects.

CONSTITUTION: Since a black matrix 108 is disposed on the TFT substrate side of this liquid crystal display element but is not disposed at parts confronting scanning lines 104, electric capacity is not formed between the matrix 108 and the scanning lines 104 made of a metal or semiconductor through an insulating layer, accordingly the problem of occurrence of display defects due to such electric capacity is solved. Since the black matrix 108 is disposed on the TFT substrate side, high alignment accuracy is not required at the time of combining substrates, the rate of opening to a pixel electrode 105 can be increased and the luminance of picture elements can be enhanced. High quality display having high luminance can be attained.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-181159

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 4 9 C	8447-5G		

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-348591

(22)出願日 平成3年(1991)12月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小林 道哉

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

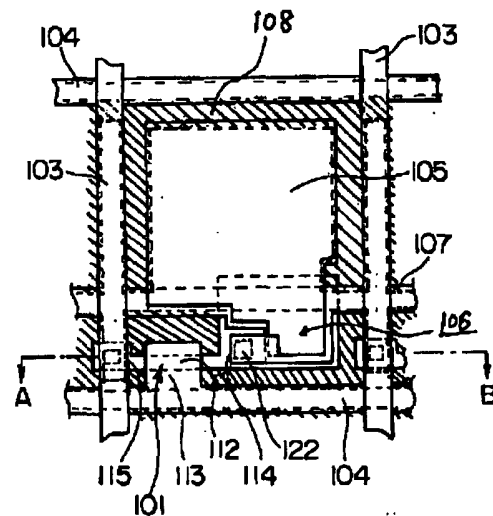
(74)代理人 弁理士 須山 佐一 (外1名)

(54)【発明の名称】 アクティブマトリックス型液晶表示素子

(57)【要約】

【目的】 アクティブマトリックス型液晶表示素子において、十分な輝度を有しかつ表示不良が抑えられた高品位な表示を実現する。

【構成】 ブラックマトリックス108は、TFT基板側に設けられており、しかも走査線104に対向する部分には設けられていないので、金属もしくは半導体からなる走査線104との間で絶縁層を介して電気容量を形成することがない。したがってそのような電気容量に起因して発生する表示不良の問題が解決される。また、前述のようにブラックマトリックス108はTFT基板側に設けられているので、基板を組み合わせる際の位置合わせ精度の問題がなく、画素電極105に対する開口率を高くすることができ、画素の輝度を高くできる。こうして、輝度が高くかつ高品位な表示が実現できる。



(2)

特開平5-181159

1

【特許請求の範囲】

【請求項1】 複数の走査線および複数の信号線からなるマトリックス配線と、前記マトリックス配線の各交差部に設置された画素電極と、前記画素電極および前記マトリックス配線に接続されるトランジスタスイッチング素子とを有するスイッチング素子基板と、前記画素電極に対向する対向電極を有する対向基板と、前記スイッチング素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリックス型液晶表示素子において、前記走査線を実質的に覆うことなく前記画素電極どうしの間隙を覆うように前記スイッチング素子基板に配設される遮光膜を具備することを特徴とするアクティブマトリックス型液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタ(TFT)からなるスイッチング素子を用いたアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】液晶表示素子は、テレビやグラフィックディスプレイなどの表示素子として盛んに用いられている。そのなかでも、特にアクティブマトリックス型液晶表示素子は、高速応答性を有し、高画素数化に適しており、ディスプレイ画面の高画質化、大型化、カラー画面化等を実現するものとして期待され、研究開発が進められて既に実用化されたものもある。

【0003】このアクティブマトリックス型液晶表示素子は、透明絶縁基板上に走査線と信号線を直交するように設け、その走査線と信号線の交差点ごとにスイッチング素子と画素電極とをそれぞれ配設したものである。

【0004】このスイッチング素子によって各画素の駆動制御が分散的に行なわれるので、画素の高速駆動が可能となり、また高画素数化や大面積化が可能となる。

【0005】スイッチング素子としては通常、その使用目的に合致した急峻なオン・オフ特性を有する薄膜トランジスタ(以下、TFT:Thin Film Transistorと略称)が用いられる。

【0006】TFTは絶縁ゲート型の電界効果トランジスタの一種であり、例えばゲートが走査線に、ドレインが信号線に、ソースが画素電極に接続されている。

【0007】ゲートに走査パルスが投入されると、そのゲートを有するTFTのドレインとソースの間が導通状態となって、信号線からドレイン、ソースを通過して画素電極に信号電圧が印加される。ゲートに走査パルスが投入されていないときは、そのTFTのソースとドレインの間は高抵抗な状態になっているので、そのソースに接続されている画素電極にはドレインからの信号電圧が印加されず、画素電極の電位が保持される。TFTにおいては、このようなスイッチング動作が行なわれる。

2

【0008】このTFTとしては、非晶質シリコン(a-Si)または多結晶シリコン(poly-Si)を用いたものが一般的である。

【0009】非晶質シリコン(a-Si)を用いたTFTは、ガラス基板上に大面積にわたって形成が可能であるという特長から、壁掛けテレビやOA用ディスプレイといった大型の液晶表示装置に適している。一方、多結晶シリコン(poly-Si)を用いたTFTは、キャリアの移動度が $10 \sim 200$ [cm/Vs]と高いことからTFTの外形状を小さく形成しても液晶の駆動には問題なく、またその周辺駆動回路も既存の製造プロセスによって同一基板上に一体に形成することができるので、小型化、高精細化が要求されるビデオカメラのビューファインダやプロジェクションテレビに用いられる液晶表示装置に適している。

【0010】図8は多結晶シリコンを用いたTFT基板を有する従来の液晶表示素子の表示画素領域部分を示す平面図、図9はそのA-B線に沿う断面図である。

【0011】この液晶表示素子の表示画素領域部分は、TFT801と、信号線803と、走査線804と、画素電極805と、蓄積容量806とを有している。

【0012】TFT801は、多結晶シリコンからなる活性層811、ゲート絶縁膜812、低抵抗の多結晶シリコンからなるゲート813からその主要部が構成される。

【0013】活性層811のゲート813に対面する部分の両脇にはn型ドーパントである磷(P)をドーピングして低抵抗とし、ソース814、ドレイン815が形成されている。ドレイン815はコンタクトホールにて層間絶縁膜802を貫通するアルミ(Al)とクロム(Cr)の2層構造からなる層間接続電極部を介して信号線803に接続されている。またソース814はコンタクトホールにて層間絶縁膜802を貫通するアルミ(Al)とクロム(Cr)の2層構造からなる層間接続電極部822を介して、ITOの透明電極からなる画素電極805に接続されている。またゲート813は走査線804と一体に低抵抗の多結晶シリコンで形成されている。

【0014】また、活性層811の端部821はゲート絶縁膜812の端部831を介して蓄積容量線807に対向するように配設されている。この蓄積容量線807は、前記のゲート813と同層の低抵抗の多結晶シリコン膜をパターンニングして設けられたものである。これらの活性層811の端部821、ゲート絶縁膜812の端部831、蓄積容量線807によって蓄積容量806が形成されている。

【0015】ところで前記のようなTFTは、特に活性層にアモルファスシリコン(a-Si)を用いたものは太陽電池にこのアモルファスシリコンが用いられていることから明らかなように、光電流の発生が顕著であ

3

る。この光電流の発生は多結晶シリコンを用いたTFTにおいても発生する。外部からTFTに光が照射されると、光電流が発生してTFTが誤動作してしまう。そこでこのような光電流の発生を防ぐために、外部からTFTに照射される光を遮断するための遮光膜を設ける必要がある。

【0016】図10は上述のTFT基板800と、これに対向して設けられる対向基板900とを示す一部省略射視図、図11は対向基板900の断面図である。

【0017】対向基板900は、ブラックマトリックス908、カラーフィルタ903、ITOの透明電極からなる対向電極905が配設されている。

【0018】ガラス製絶縁基板901上に、スパッタリングなどにより成膜したクロム(Cr)のような金属からなる薄膜をフォトリソエッチングしてなるブラックマトリックス908が形成されている。その上層に染色法または顔料分散法または印刷法などによりカラーフィルタ903が形成されている。さらにその上層に対向電極905としてITOからなる透明電極層と、それを液晶に直接に晒すことを防ぐとともに液晶を配向させるように表面をラビング処理してなる配向膜907が形成されている。

【0019】ブラックマトリックス908は、前述のように対向基板900上に成膜されたクロム(Cr)のような金属からなる薄膜をフォトリソエッチングしてなる遮光膜で、図10に示すように画素電極に対向する部分のみに開口を有し、その他の部分、即ち画素電極と画素電極との間隙に対向する部分を覆って遮光するようなパターンに形成されている。

【0020】対向基板900がTFT基板800に対向して正確に位置を合わせて組み合わせられたときに、TFT基板800上の画素電極805の直上にこのブラックマトリックス908の開口部が位置して、画素電極805の部分は光が通過し、その他の信号線803や走査線804と画素電極805との間隙の部分およびTFTには光が通らないようにする。

【0021】このブラックマトリックス908によって、外部からTFT801に照射されようとする光を遮断して光電流によるTFTの誤動作を防ぐとともに、信号線803および走査線804などからなるマトリックス配線と画素電極805との間隙の部分などを通して漏れる光によるコントラスト比の低下を防いでいる。

【0022】

【発明が解決しようとする課題】しかしながら、上記のようなブラックマトリックスは通常、対向基板側に配置されるが、このときもしTFT基板と対向基板との位置がずれると、信号線803や走査線804などの配線と画素電極805との間の間隙部分を通過して光が漏れる。これが表示不良の原因となっており、例えばホワイトモードの液晶表示素子の場合では漏れた光に対応する部分

(3)

特開平5-181159

4

の画素は常時点灯しているように明るく見え、コントラスト比の低下や表示むらなどの表示不良の原因になるという問題がある。

【0023】そこでTFT基板と対向基板とを組み合わせる際に高精度の位置合わせが必要となるが、このような高精度な位置合わせは容易ではない。この位置合わせ精度の一例を示すと、対角5インチ程度のサイズの液晶表示素子で通常、±2μm程度、10インチ程度のもので±3μm程度であり、位置合わせ精度をこれ以上に高めることは、製造技術上困難である。そして液晶表示素子の画素寸法は高精細化に対応して微細化がさらに著しくなっていくので、今後さらにこの位置合わせは困難になっていくことが考えられる。

【0024】このような位置ずれへの対策として、前記の位置合わせ精度の寸法程度画素電極とオーバーラップするようにブラックマトリックスを配設するという方法が通常採用されている。このようにすれば、TFT基板と対向基板とを組み合わせる際の位置ずれは前記のオーバーラップ部分の寸法までは吸収できる。しかしブラックマトリックスに画素電極とのオーバーラップ部分を設けるということは、その分ブラックマトリックスの画素電極に対する開口面積が小さくなって、その開口率の低下の分、画素の輝度が低下するという問題がある。

【0025】さらに、TFT基板と対向基板とでは、その製造プロセスにおける熱履歴が異なっているが、熱による膨張、伸縮の度合いが異なることから両基板のパターンのピッチそのものが製造プロセス中にずれてしまい、正確な位置合わせがさらに困難になるという問題もある。この問題を解決するためには、前記のブラックマトリックスのオーバーラップ部分をさらに大きくしなければならないが、これによってさらにブラックマトリックスの画素電極に対する開口面積が小さくなって、画素の輝度がさらに低下するという問題がある。

【0026】このように、対向基板側にブラックマトリックスを配設する場合には、TFT基板と対向基板とを組み合わせる際の位置ずれの問題がある。

【0027】そこで、ブラックマトリックスをTFT基板側に作り込むことが考えられる。同一基板上での画素電極とブラックマトリックスとの位置合わせ精度は、1μm程度まで実現が可能だからである。

【0028】しかしながら、このようにブラックマトリックスをTFT基板側に作り込むとき、TFT基板の構造が複雑になり、また製造プロセスも煩雑なものとなって、歩留りの低下などから製造コストが上昇するという問題がある。

【0029】また、ブラックマトリックスは通常、クロム(Cr)のような金属薄膜で形成されるが、このような金属薄膜が走査線などのマトリックス配線やTFTの上層または下層にこれらに近接してこれらを覆うように配設されることで静電容量が形成されてしまうという問

(4)

特開平5-181159

5

6

題がある。

【0030】特にそのような静電容量の影響を大きく受けるのは走査線中を通る走査パルスであり、前記の静電容量によって走査パルスに遅延や波形なまりが生じて、TFTの動作遅延や誤動作が発生し、引いては液晶表示素子上の画像に表示不良が発生するという問題がある。

【0031】本発明はこのような問題を解決するために成されたもので、その目的とするところは、信号線などのマトリクス配線と画素電極との間の間隙やTFTを精度良く覆うブラックマトリクスを具備することで、表示画素の輝度の低下の問題を解消し、かつTFTの動作遅延や誤動作に起因する液晶表示素子の表示不良の発生の問題を解消し、十分な輝度を持ち、かつ表示不良の発生を抑えた、高品位な画像表示を実現する液晶表示素子を提供することにある。

【0032】

【課題を解決するための手段】上記の問題を解決するために、本発明のアクティブマトリクス型液晶表示素子は、複数の走査線および複数の信号線からなるマトリクス配線と、前記マトリクス配線の各交差部に設置された画素電極と、前記画素電極および前記マトリクス配線に接続されるトランジスタスイッチング素子とを有するスイッチング素子基板と、前記画素電極に対向する対向電極を有する対向基板と、前記スイッチング素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリクス型液晶表示素子において、前記走査線を実質的に覆うことなく前記画素電極どうしの間隙を覆うように前記スイッチング素子基板上に配設される遮光膜を具備することを特徴としている。

【0033】なお、前記の遮光膜、いわゆるブラックマトリクスは、前記のスイッチング素子基板の上層でも、下層でも、また層構造の中間層にでも設けて良い。ただしこのとき、ブラックマトリクスはTFTに入射してくる外部からの光をTFTに当たらないように遮断し、かつ前記画素電極どうしの間隙から光が漏れないように配設されていなければならない。

【0034】また、ブラックマトリクスは場合によっては走査線だけでなく信号線を覆うことのないように配設してもよい。

【0035】また、このブラックマトリクスは、それが配設される位置および形状によっては、走査線との間で形成される静電容量が実質的に無視できる程度であれば、部分的に走査線を覆うように、または走査線にオーバーラップさせるように配設してもよい。例えばTFTや走査線の配設された層からある程度の距離をおいた層にブラックマトリクスが配設されているような場合、前記のスイッチング素子基板に対して斜交方向から入射してくる光がTFTに当たることや、そのような光が開口部分から漏れてしまうということも考えられるが、これを防止するにはある程度のオーバーラップが必要だから

である。

【0036】

【作用】遮光膜としてのブラックマトリクスは、走査線および信号線からなるマトリクス配線やTFT素子や画素電極などを有するTFT基板（いわゆるスイッチング素子基板）側に設けられるので、対向電極側に設けられた場合のような基板間の位置合わせのずれによる光の漏れの問題がなく、マトリクス配線と画素電極との間の間隙やTFTを精度良く覆うことができる。したがってブラックマトリクスと画素電極とのオーバーラップを極めて小さくすることができ、画素電極に対するブラックマトリクスの開口面積の低下に起因した表示画素の輝度の低下の問題が解消できる。

【0037】また、このブラックマトリクスは走査線を覆うことなく電極どうしの間隙を覆うように配設されているので、絶縁層を介して金属や半導体からなる走査線との間で静電容量が形成されることがない。これにより静電容量に起因した走査パルスの波形なまりや遅延によるTFTの誤動作や動作遅延の発生を抑制して液晶表示素子の表示不良を解消し、十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示を実現することができる。

【0038】

【実施例】以下、本発明のアクティブマトリクス型液晶表示素子の実施例を、図面に基いて詳細に説明する。

【0039】（実施例1）図1は本発明に係る第1の実施例のアクティブマトリクス型液晶表示素子の表示画素部分を示す平面図、図2はそのA-B線に沿う断面図、図3は第1の実施例のアクティブマトリクス型液晶表示素子を石英製透明絶縁基板側から見た平面図である。

【0040】この第1の実施例のアクティブマトリクス型液晶表示素子は、ブラックマトリクスがTFTの下層に配設されたTFT基板と、これに対向する対向基板と、これらの両基板間に挟持される液晶組成物とを有している。

【0041】ここでは、本実施例の主要部としてブラックマトリクスが配設されたTFT基板を中心に説明する。

【0042】本実施例のTFT基板の表示画素部分は、TFT101と、信号線103と、走査線104と、画素電極105と、蓄積容量106と、ブラックマトリクス108とからその主要部が構成されている。

【0043】その層構造としては、石英製透明絶縁基板100上に下層から順にチタン（Ti）やタングステン（W）などの金属膜またはそれらのシリサイド膜などからなる遮光膜としてのブラックマトリクス108、酸化シリコン（SiO₂）膜109、多結晶シリコン（poly-Si）からなるTFTの活性層111、ゲート

(5)

特開平5-181159

7

絶縁膜112、低抵抗の多結晶シリコン(poly-Si)からなるゲート113および走査線104および蓄積容量線107、層間絶縁膜102、ITOのような透明電極からなる画素電極105、アルミ(Al)とクロム(Cr)の2層構造からなる信号線103および層間接続電極122、SiN₂からなる保護膜123が形成されている。

【0044】スイッチング素子としてのTFT101は、前述のソース114およびドレイン115を有する活性層111と、ゲート絶縁膜112と、ゲート113とからその主要部が構成されている。

【0045】活性層111のゲート113に対面する部分の両脇はn型ドーパントである磷(P)をドーピングして低抵抗とし、ソース114、ドレイン115が形成されている。ドレイン115はコンタクトホールにて層間絶縁膜102を貫通するアルミ(Al)とクロム(Cr)の2層構造からなる信号線103に接続されている。またソース114はコンタクトホールにて層間絶縁膜102を貫通するアルミ(Al)とクロム(Cr)との2層構造からなる層間接続電極122を介して、ITOの透明電極からなる画素電極105に接続されている。またゲート113は走査線104と一体に低抵抗の多結晶シリコンで形成されている。

【0046】また、活性層111のソース側の端部121はゲート絶縁膜112の端部131を介して蓄積容量線107に対向するように配設されている。この蓄積容量線107は、前記のゲート113と同層の低抵抗の多結晶シリコン膜をパターンニングして設けられたものである。活性層111の端部121、ゲート絶縁膜112の端部131、蓄積容量線107によってMOS容量である蓄積容量106が形成されている。

【0047】そしてブラックマトリックス108は、図1において斜線の部分で示したが、膜厚が約200nmの遮光膜で、走査線104および信号線103が交差してなるマトリックス配線と画素電極105との間隙およびTFT101を覆い、かつ画素電極105、走査線104、信号線103、および蓄積容量線107を覆うことのないように配置されている。ただし図3に示すように、光の漏れをより確実に防ぐために、コントラスト比の低下などの影響のない範囲内で若干のオーバーラップを設けてある。

【0048】従来のように対向基板側に配置されたブラックマトリックスにおいてはその位置合わせのずれに対応するためにブラックマトリックスと画素電極とのオーバーラップが2乃至3μm程度必要であり、その画素間のピッチが60μmのときの開口部分の開口率は30%だった。しかし本発明に係るブラックマトリックス108においては、前記のようなオーバーラップの寸法は1μm以下にすることができるので、その開口部分の開口率は40%にまで大きくすることができ、画素の輝度やコント

8

ラスト比の低下を抑えて、十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示を実現している。

【0049】また、ブラックマトリックス108は走査線104を覆うことなく配設されているので、絶縁層としての酸化シリコン(SiO₂)膜109などを介して走査線104との間で静電容量が形成されることがなく、このような静電容量に起因した走査パルスの波形なまりや遅延によるTFT101の誤動作や動作遅延が抑制されて液晶表示素子の表示不良が解消される。こうして十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示を実現することができる。

【0050】また、本実施例のブラックマトリックス108は、信号線103を覆うことなく配設されているので、ブラックマトリックス108と信号線103との間で静電容量が形成されることがなくなり、この静電容量に起因する信号電圧の変動などの問題も解消される。

【0051】さらに、金属製のブラックマトリックス108は、図2、図3にも明らかなように信号線103と画素電極105との間の間隙の下層に設けられているので、これが電氣的シールドのように機能して信号線103と画素電極105との間でのクロストークを抑制する。これにより信号線103との間のクロストークに起因する画素電極105の電位変動が抑制される。このようなクロストークに起因する画素電極105の電位変動を実際に測定したところ、従来技術に係る液晶表示素子の電位変動率が1.0%であるのに対し、本実施例の液晶表示素子における電位変動率は、ブラックマトリックス108に電圧を印加しないときで0.7%、対向電極の電位程度の電圧を印加したときで0.3%にまで低減させることができることが確認された。

【0052】このような本実施例のアクティブマトリックス型液晶表示素子の製造方法を、その工程の順を追って簡略に説明する。

【0053】石英製透明絶縁基板100上に、膜厚200nm程度のチタン(Ti)やタングステン(W)などの金属膜のたはそのシリサイド膜などをスパッタリング法などにより成膜し、フォトリソグラフィなどでパターンニングしてブラックマトリックス108を形成する。

【0054】次に800nm程度の膜厚の酸化シリコン(SiO₂)膜109を常圧CVD法またはプラズマCVD法などで基板全面に成膜する。

【0055】次に多結晶シリコン(poly-Si)膜を減圧CVD法により成膜して600度で24時間の固相成長させたのち、パターンニングして活性層111を得る。この活性層111のソース114側の端部121は蓄積容量106の電極として用いられるように、蓄積容量線107と対向するように形成する。そしてこの活性層111の表面に熱酸化法によりゲート絶縁膜112を形成する。

【0056】次に減圧CVD法により多結晶シリコン

50

9

(poly-Si)膜を成膜し、これをパターニングしてゲート113、走査線104、蓄積容量線107を形成する。活性層111にはイオン注入法でn型ドーパントである磷(P)を打ち込み、ソース114およびドレイン15を形成する。

【0057】次に層間絶縁膜102として酸化シリコン(SiO₂)を減圧CVD法により成膜し、さらに画素電極105としてITO膜をスパッタリング法により成膜する。

【0058】そして層間絶縁膜102にコンタクトホールをあけ、その上にアルミ(Al)とクロム(Cr)の2層構造からなる信号線103および層間接続電極122を形成する。

【0059】そしてこれらの上層全体を覆うようにSiN_xからなる保護膜123を、プラズマCVD法を用いて形成する。

【0060】このように本実施例のアクティブマトリックス型液晶表示素子は、石英製透明絶縁基板100の直上にブラックマトリックス108を形成してのちのプロセスがほとんど従来の製造プロセスを応用できるので、特殊な製造プロセスを付加する煩雑さや、製造コストの上昇もほとんどなく、製造方法の面から見ても優れている。

【0061】(実施例2)図4は本発明の第2の実施例のアクティブマトリックス型液晶表示素子の画素部分を示す平面図、図5はそのA-B線に沿う断面図である。なお、同図においては本発明の要点的理解を簡易にするために、蓄積容量を省略した構造のアクティブマトリックス型液晶表示素子の表示画素部分を示している。

【0062】本実施例のTFT基板の表示画素部分の層構造は、図5に示すように、下層から順に石英製透明絶縁基板200上に、多結晶シリコン(poly-Si)からなるTFTの活性層211、ゲート絶縁膜212、低抵抗の多結晶シリコン(poly-Si)からなるゲート213および走査線204、層間絶縁膜202、ITOのような透明電極からなる画素電極205、アルミ(Al)とクロム(Cr)の2層構造からなる信号線203および層間接続電極222、SiN_xからなる保護膜223、チタン(Ti)やタングステン(W)などの金属膜あるいはそれらのシリサイド膜からなる遮光膜としてのブラックマトリックス208が形成されている。このブラックマトリックス208の厚さは200nmとした。また保護膜223の厚さは300nmとした。

【0063】このようにTFT基板の最上層に配置されたブラックマトリックス208の平面的な形状は、図4に示すように、画素電極205どうしの間隙およびTFT201を覆い、かつ画素電極205および走査線204は覆うことのないような形状に配設されている。ただし、光の漏れをより確実に防ぐために、コントラスト比の低下などの影響のない範囲内で若干のオーバーラップ

(6)

特開平5-181159

10

を設けてある。このオーバーラップの寸法は1μm以下で、画素電極205に対しての開口部分の開口率は40%にまで大きくすることができ、画素の輝度やコントラスト比の低下を抑えて、十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示を実現している。

【0064】また、信号線203と画素電極205との間のクロストークに起因する画素電極205の電位変動を測定したところ、従来技術に係る液晶表示素子の電位変動率が1.0%、第1の実施例の液晶表示素子における電位変動率が0.7%であるのに対して、この第2の実施例においてはブラックマトリックス208に電圧を印加しなくとも画素電極205の電位変動率は0.5%となった。これは、第2の実施例のブラックマトリックス208が画素電極205および信号線203に第1の実施例よりも近接して設けられているために、電気的シールド効果を高めることができたためである。

【0065】(実施例3)図6は本発明の第3の実施例のアクティブマトリックス型液晶表示素子の画素部分を示す平面図、図7はそのA-B線に沿う断面図である。同図においては、本発明の要点的理解を簡易にするために、蓄積容量を省略した構造のアクティブマトリックス型液晶表示素子を示している。

【0066】この第3の実施例においては、ブラックマトリックス308は走査線304、信号線303からなるマトリックス配線およびTFT301よりも上層で、かつ画素電極305よりも下層の位置に配置されている。そしてその平面的な形状は、画素電極305どうしの間隙およびTFT301を覆い、かつ画素電極305および走査線304は覆うことのないような形状に配設されている。ただし、光の漏れをより確実に防ぐために、コントラスト比の低下などの影響のない範囲内で若干のオーバーラップを設けてある。このオーバーラップの寸法は1μm以下で、画素電極305に対しての開口部分の開口率は40%にまで大きくすることができ、画素の輝度やコントラスト比の低下を抑えて、十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示を実現している。

【0067】本実施例のTFT基板の表示画素部分の層構造は、図7に示すように、下層から順に石英製透明絶縁基板300上に多結晶シリコン(poly-Si)からなるTFTの活性層311、ゲート絶縁膜312、低抵抗の多結晶シリコン(poly-Si)からなるゲート313および走査線304、層間絶縁膜302、アルミ(Al)とクロム(Cr)の2層構造からなる信号線303、SiN_xからなる層間絶縁膜324、チタン(Ti)やタングステン(W)などの金属膜またはそれらのシリサイド膜からなる遮光膜としてのブラックマトリックス308、SiN_xからなる保護膜323、層間接続電極322と一体形成されたITOのような透明電極からなる画素電極305が形成されている。

50

(7)

特開平5-181159

12

11

【0068】このブラックマトリックス308の厚さを200nm、保護膜323および層間絶縁膜324の厚さをそれぞれ200nmとした。

【0069】ブラックマトリックス308が上記のように配置されていることにより、本実施例においては、画素電極305のクロストークに起因する電位変動率を第2の実施例よりもさらに低減した0.4%とすることができた。これは、第2の実施例のブラックマトリックス208が画素電極205および信号線203に第1の実施例よりもさらに近接して設けられているために、電気的シールド効果をさらに高めることができたためである。

【0070】

【発明の効果】以上、詳細に説明したように、本発明のアクティブマトリックス型液晶表示素子は、走査線および信号線からなるマトリクス配線と画素電極との間の間隙やTFTを精度良く覆うブラックマトリックスを有することで、表示画素の輝度の低下の問題を解消し、かつTFTの動作遅延や誤動作に起因する液晶表示素子の表示不良の発生の問題を解消して、十分な輝度を持ちかつ表示不良の発生を抑えた高品位な画像表示の実現を可能としている。

【図面の簡単な説明】

【図1】本発明に係る第1の実施例のアクティブマトリックス型液晶表示素子の表示画素部分を示す平面図。

【図2】本発明に係る第1の実施例のアクティブマトリックス型液晶表示素子の表示画素部分のA-B線に沿う断面図。

【図3】本発明に係る第1の実施例のアクティブマトリックス型液晶表示素子を石英製透明絶縁基板側から見た平面図。

【図4】本発明に係る第2の実施例のアクティブマトリックス型液晶表示素子の画素部分を示す平面図。

【図5】本発明に係る第2の実施例のアクティブマトリックス型液晶表示素子の画素部分のA-B線に沿う断面*

*図。

【図6】本発明に係る第3の実施例のアクティブマトリックス型液晶表示素子の画素部分を示す平面図。

【図7】本発明に係る第3の実施例のアクティブマトリックス型液晶表示素子の画素部分のA-B線に沿う断面図。

【図8】従来の液晶表示素子の表示画素領域部分を示す平面図。

【図9】従来の液晶表示素子の表示画素領域部分のA-B線に沿う断面図。

【図10】TFT基板800と、これに対向して設けられる対向基板900を示す一部省略射視図。

【図11】対向基板900の断面図。

【符号の説明】

100…石英製透明絶縁基板

101…TFT

102…層間絶縁膜

103…信号線

104…走査線

105…画素電極

106…蓄積容量

107…蓄積容量線

108…ブラックマトリックス

109…酸化シリコン膜

111…活性層

112…ゲート絶縁膜

113…ゲート

114…ソース

115…ドレイン

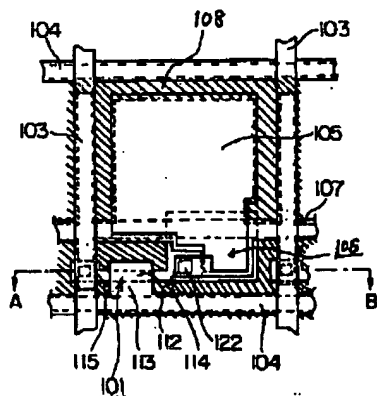
30 121…活性層のソース側の端部

122…層間接触電極

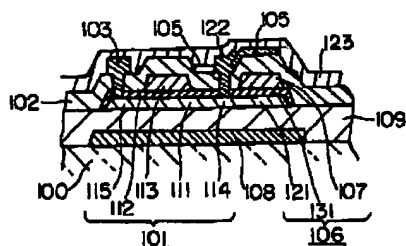
123…保護膜

131…ゲート絶縁膜の端部

【図1】



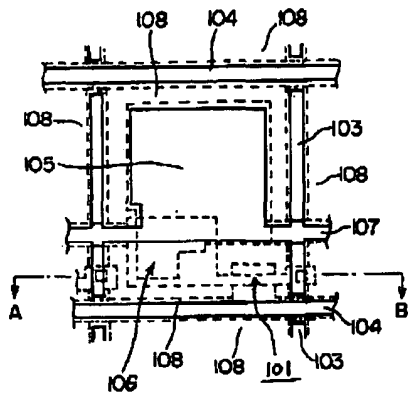
【図2】



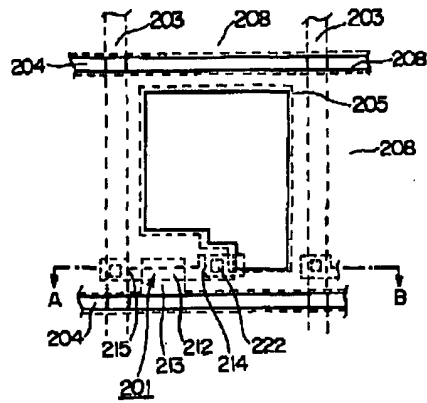
(8)

特開平5-181159

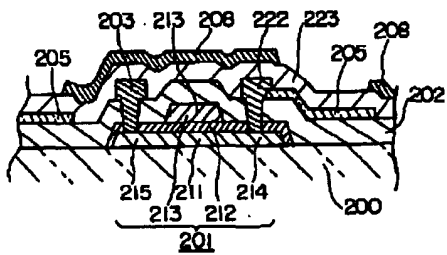
【図3】



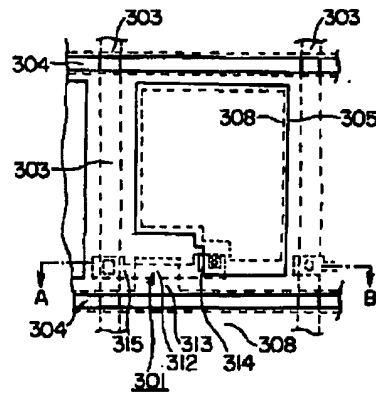
【図4】



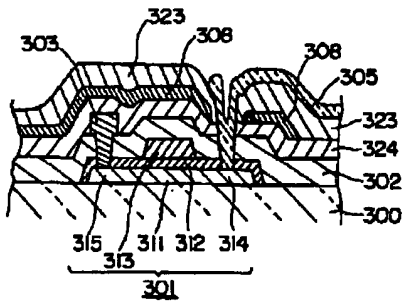
【図5】



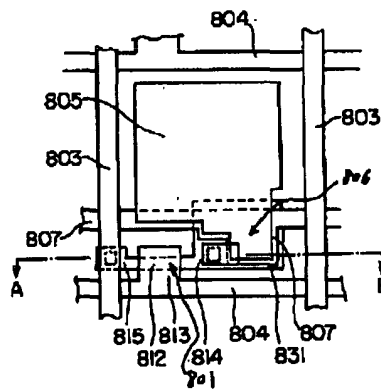
【図6】



【図7】



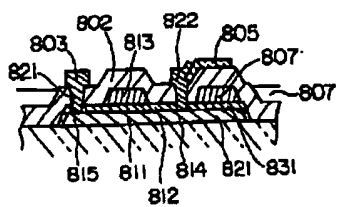
【図8】



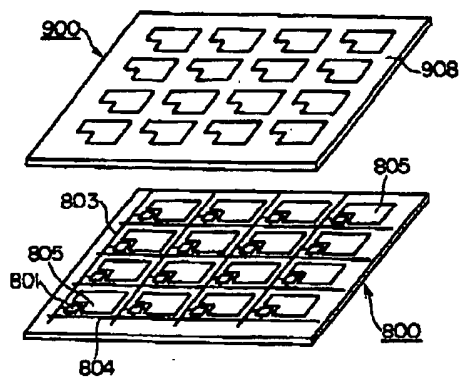
(9)

特開平5-181159

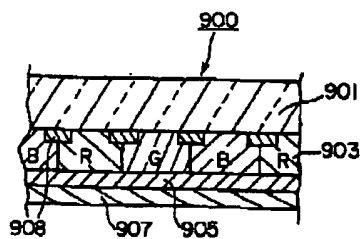
【図9】



【図10】



【図11】



DIALOG(R)File 345:Inpad c/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11594908

Basic Patent (No,Kind,Date): JP 6011728 A2 940121 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KOBAYASHI MICHIO

IPC: *G02F-001/136;

JAPIO Reference No: 180211P000070

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6011728	A2	940121	JP 92170761	A	920629 (BASIC)

Priority Data (No,Kind,Date):

JP 92170761 A 920629